

DIRECT-DOWNSET FLIP-CHIP SEMICONDUCTOR PACKAGING STRUCTURE AND MANUFACTURING PROCESSES

Publication date: 2001-10-01

Inventor(s): HUANG NAN-JIUN (TW); LIN YING-REN (TW)

Applicant(s): SILICONWARE PREC IND CO LTD (TW)

Requested Patent: TW457664

Application Number: TW20000124341 20001117

Priority Number(s): TW20000124341 20001117

IPC Classification: H01L23/28

EC Classification:

Equivalents:

Abstract

A direct-downset flip-chip semiconductor packaging technique is provided, which is characterized in mounting the semiconductor chip in direct-downset on the die of the substrate and employing cavity solder-bump pad to weld the semiconductor chip with the substrate. Comparing with conventional technique, the direct-downset flip-chip semiconductor packaging technique has the following benefits: (1) eliminating the solder defluxing and flip-chip underfill procedure required by the conventional technique so as to simplify the packaging process; (2) providing a larger welding area so that the electric coupling of semiconductor chip has better reliability; (3) firmly integrating the heat sink with semiconductor chip so that the packaging unit has better radiation performance; (4) producing packaging units in lower height; (5) during solder reflowing, preventing the bridging effect between welding solder bumps so as to prevent short circuit effect between the I/O pads of the semiconductor chips; and, (6) increasing the coupling area between the semiconductor chip and the substrate so as to reduce the thermal stress damage effect resulting from the difference of thermal expansion coefficients.



中華民國專利公報 [19] [12]

[11]公告編號：457664

[44]中華民國 90年 (2001) 10月 01日

發明

全 5 頁

[51] Int.Cl. 06: H01L23/28

[54]名稱：直接嵌入式覆晶型半導體封裝結構及製程

[21]申請案號：089124341

[22]申請日期：中華民國 89年 (2000) 11月 17日

[72]發明人：

黃楠鈞

林英仁

台中縣太平市建興路二四二巷十五號

台中縣烏日鄉前竹村光明路勤農巷十二號

[71]申請人：

矽品精密工業股份有限公司

台中縣潭子鄉大豐路三段一二三號

[74]代理人：陳昭誠 先生

1

2

[57]申請專利範圍：

1. 一種覆晶型半導體封裝製程，其包含以下步驟：

(1)預製一半導體晶片和一基板；

該半導體晶片具有一電路面和一非電路面；該電路面上形成有複數個輸出入錫墊；且

該基板具有一正面和一背面；該正面上形成有一置晶穴，且該置晶穴之底面上形成有複數個凹洞型錫塊墊，其分別具有一預定之凹洞形狀；

(2)設置複數個錫塊於該半導體晶片上之複數個輸出入錫墊上；

(3)將該半導體晶片嵌入於該置晶穴之中，並使得各個錫塊分別植入於對應之凹洞型錫塊墊；

(4)進行一迴錫程序，藉以將各個錫塊迴錫於對應之凹洞型錫塊墊上；以及

(5)進行一植球程序，藉以將一錫球陣列植置於該基板的背面上。

2. 如申請專利範圍第1項所述之覆晶型半

導體封裝製程，其更進一步包含以下步驟：

(6)將一散熱塊安置於該置晶穴之上，並使該散熱塊接觸至該半導體晶片之非電路面。

3. 如申請專利範圍第1項所述之覆晶型半導體封裝製程，其中步驟(1)中所述之基板為一陶製基板。

10. 4. 如申請專利範圍第1項所述之覆晶型半導體封裝製程，其中於步驟(1)中，該凹洞型錫塊墊凹洞的形狀為一向內漸窄之圓錐形狀。

5. 一種覆晶型半導體封裝製程，包含以下步驟：

15. (1)預製一半導體晶片和一基板；

該半導體晶片具有一電路面和一非電路面；該電路面上形成有複數個輸出入錫墊；且

該基板具有一正面和一背面；該正面上形成有一置晶穴，且該置晶穴之底

面上形成有複數個凹洞型鐸塊墊；該些凹洞型鐸塊墊之凹洞形狀為一向內漸窄之圓錐形狀；

(2)設置複數個鐸塊於該半導體晶片上之複數個輸出入鐸墊上；

(3)將該半導體晶片嵌入於該置品穴之中，並使得各個鐸塊分別植入於對應之凹洞型鐸塊墊之中；

(4)進行一迴鐸程序，藉以將各個鐸塊迴鐸於對應之凹洞型鐸塊墊上；

(5)進行一植球程序，藉以將一鐸球陣列植置於該基板的背面上；以及

(6)將一散熱塊安置於該置品穴之上，並使該散熱塊接觸至該半導體晶片之非電路面。

6.如申請專利範圍第5項所述之覆晶型半導體封裝製程，其中步驟(1)中所述之基板為一陶製基板。

7.一覆晶型半導體封裝結構，其包含：

(a)一半導體晶片，其具有一電路面和一非電路面；且該電路面上形成有複數個輸出入鐸墊；

(b)複數個鐸塊，其分別形成於該半導體晶片上之複數個輸出入鐸墊上；

(c)一基板，其具有一正面和一背面；該正面上形成有一置品穴，且該置品穴之底面上形成有複數個凹洞型鐸塊墊；

其中

該半導體晶片係嵌入於該基板之置品

穴中，且各個鐸塊係植入並迴鐸於對應之凹洞型鐸塊墊中，以將該半導體晶片鐸結及電性藕接至該基板；

且此覆晶型半導體封裝結構更進一步包含：

(d)一鐸球陣列，其係植置於該基板的背面上；以及

(e)一散熱塊，其係安置於該置品穴之上，並接觸至該半導體晶片之非電路面。

5.

10.

8.如申請專利範圍第7項所述之覆晶型半導體封裝結構，其中該基板為一陶製基板。

9.如申請專利範圍第7項所述之覆晶型半導體封裝結構，其中該些凹洞型鐸塊墊的凹洞形狀則為一向內漸窄之圓錐形狀。

圖式簡單說明：

第一圖A至第一圖C(習知技術)為剖面結構示意圖，其用以顯示一習知之覆晶型半導體封裝結構；

第二圖(習知技術)為一流程圖，其中顯示第一圖A至第一圖C所示之覆晶型半導體封裝結構的主要製程步驟；

第三圖A至第三圖C為剖面結構示意圖，其用以顯示本發明之覆晶型半導體封裝結構；

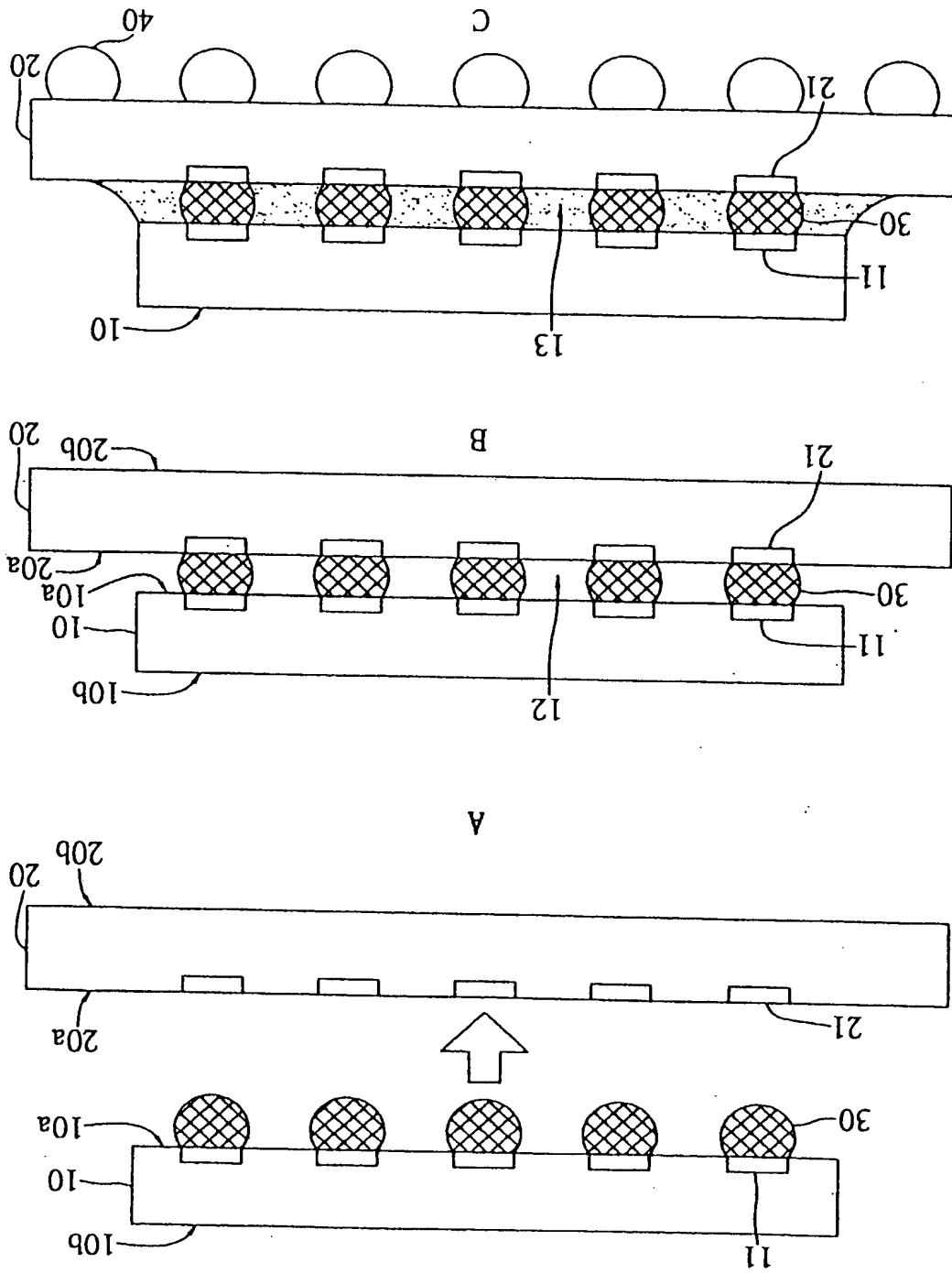
第四圖為一流程圖，其中顯示本發明之覆晶型半導體封裝結構的主要製程步驟。

20.

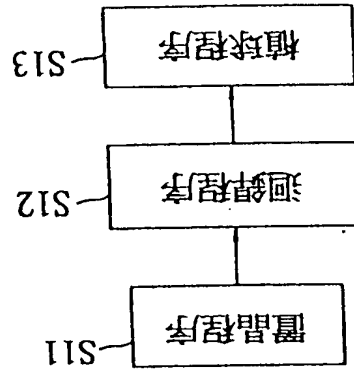
25.

30.

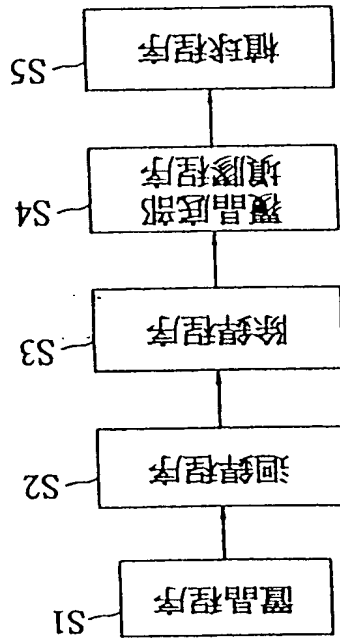
第一圖



第四圖



第二圖



第三圖

